

## SEMICONDUCTOR MEMORY DEVICE



Patent Number: JP11007776

Publication date: 1999-01-12

Inventor(s): KAWAGUCHI HIDEJI; KUMAGAI TAKASHI

Applicant(s): SEIKO EPSON CORP

Requested Patent:  JP11007776

Application Number: JP19970161680 19970618

Priority Number(s):

IPC Classification: G11C11/413

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To make it possible to provide the semiconductor memory device, which is operated stably even when a power supply voltage is less than 1 V, by increasing the potentials of a power supply line and a word line to a perfect CMOS type memory cell at the time of reading.

**SOLUTION:** On a main substrate P<-> of a semiconductor, an N well N<-> is formed. Furthermore, P<+> diffused regions P11 and P12 and P21 and P22 of P-type transistors P1 and P2 and a potential fixing N<+> diffused region N30 furthermore are formed. A power supply line VM to a memory cell is connected to only the P<+> diffused regions P11 and P21. A power supply VDD is connected to the N<+> diffused region N30. Thus, a pn connecting diode is formed in the forward direction from the P<+> diffused regions P11 and P21 to an N well N<->. In the region where the power supply voltage is less than 1 V, the increasing voltage to the degree of a threshold value for activating the diode is not required. There is no leakage to the N well N<->. By separating the power supply line VM from the N well N<-> in this way, the capacity, which is added to the power supply line of a non-boosting line, can be decreased, and the voltage increasing efficiency can be improved.

Data supplied from the esp@cenet database - I2



**【特許請求の範囲】**

**【請求項1】** フリップフロップ回路を構成する1対の第1導電型の第1および第2の駆動用トランジスタおよび1対の第2導電型の第1および第2の負荷用トランジスタと、1対の第1導電型の第1および第2の転送用トランジスタとを有するメモリセルを備えた半導体記憶装置において、前記第2導電型の第1および第2の負荷用トランジスタのソース電極に前記メモリセルから情報を読み出す際に外部から供給される電源電圧より高い電圧が与えられることを特徴とする半導体記憶装置。

**【請求項2】** 請求項1記載の負荷用トランジスタのソース電極に接続される信号線の制御が半導体装置の外部から与えられるアドレス信号により選択的に行われることを特徴とした半導体記憶装置。

**【請求項3】** 請求項1記載の負荷用トランジスタのソース電極が半導体装置の基板電位と分離されていることを特徴とする半導体記憶装置。

**【請求項4】** 請求項1記載の半導体記憶装置において、前記第1導電型の第1および第2の転送用トランジスタのゲート電極に接続された信号線の電圧が前記メモリセルから情報を読み出す際に、接地電圧から外部より供給される電源電圧と同じ電位レベルに上がった後、さらに該電位レベルより高い電圧が供給されることを特徴とする半導体記憶装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は半導体記憶装置に係り、特に低電圧での読み出し動作に関する。

**【0002】**

**【従来の技術】** 図3に示すような4つのN型トランジスタN1～N4と2つのP型トランジスタで構成される、いわゆる完全CMOS型のメモリセルを集積してなる半導体記憶装置は特別な技術を用いることなく1V程度の動作が可能であった。しかし、そのメモリセルの大きさによるペナルティから2Mビット以上の大容量の半導体記憶装置では図3のトランジスタによる負荷素子P1およびP2を高抵抗に置き換えたHR型メモリセルや、同じく負荷素子に薄膜トランジスタを用いたTFT型メモリセルが用いられてきた。しかし、動作電源電圧に関して言えば、HR型メモリセルは3V程度、TFT型メモリセルでも2V程度が限界であった。そこで、HR型またはTFT型のメモリセルを用いて電源電圧が2V以下でも動作を可能にする手段が特開平5-120882号公報に示されている、この公報に示されている技術は、メモリセルにデータを書き込むときに、メモリセルのHigh側記憶ノードの電位を如何にして上げるかを工夫したものであり、基本的にはワード線を昇圧したり、メモリセルへの給電線に電源電圧より高い電位を与えておいたり、ワード線の非選択電位を負電位にして転送トランジスタのしきい値を下げるというものであるが、この

ような技術を駆使しても電源電圧はせいぜい1V程度までが動作の限界であった。しかし近年のプロセス技術の進歩により、半導体装置の微細加工が可能になり大容量の半導体記憶装置に完全CMOS型のメモリセルを用いてもコスト的にマッチするようになってきており、低電圧動作をターゲットとした半導体記憶装置が完全CMOS型のメモリセルを集積して作られるようになってきた。

**【0003】**

**【発明が解決しようとする課題】** 前述したように完全CMOS型のメモリセルを集積してなる半導体記憶装置は特別な技術を用いることなく1V程度の動作が可能であるが、電池1本分の電圧をカバーする電源電圧1V以下でも動作する半導体記憶装置となると事情が異なってくる。図4は完全CMOS型のメモリセルとHR型またはTFT型のメモリセルを用いた半導体記憶装置の動作電圧波形を示したものである。図4の後半ではメモリセルの記憶ノードV1がLowレベルからHighレベルへ、相対する記憶ノードV2がHighレベルからLowレベルに書き込まれる様子が示されている。完全CMOS型およびHR・TFT型ともノードV1は転送トランジスタN3を通してHighレベルが書き込まれるわけであるがN3はN型トランジスタであるためビット線電位が電源電圧VDDである場合はN3のしきい値電圧Vthだけ小さい電圧(VDD-Vth)がまず書き込まれる。その後、HR型あるいはTFT型のメモリセルの場合は高抵抗または薄膜トランジスタの電流能力が小さいがために記憶ノードV1への充電が行われず、書き込み電圧は低い状態が続く。一方完全CMOS型のメモリセルの場合は、P型トランジスタP1が急速に充電を行うためにノードV1の電圧は迅速に電源電圧にまで上昇する、電源電圧が1V以下の時も完全CMOS型のメモリセルならば同様で、メモリセルを構成するトランジスタのしきい値が電源電圧に対してマージンを持つれば、ビット線の電位差により記憶ノードV1とV2の間に多少の電位差が生じれば後は負荷用トランジスタP1・P2あるいは駆動用トランジスタN1・N2により、High側ノードは電源電圧に、Low側ノードは接地電圧に収束する。すなわち、完全CMOS型メモリセルを用いれば電源電圧が1V以下の時も書き込み動作は保証される。次に読み出し動作について考える。図4においてワード線電位VWが立ち上がり、ビット線電位VB1とVB2が反転するまでは読み出し状態となっている、ここで注目したいのは読み出し時のビット線電位差である、メモリセルのHigh側ノードV2が電源電圧VDDレベルなのでHigh側のビット線VB2の電位に変化はない、一方Low側のビット線電位VB1は転送用トランジスタN3から駆動用トランジスタN1に電流1Mを流すことによって得られる、電源電圧1V以下の領域ではトランジスタのしきい値と電源電圧との

間のマージンが小さくなってしまうので、トランジスタN3およびN1の電流駆動能力も小さくなり、次第にIMを流せなくなり、この事によってLow側のビット線電位の下降が小さくなってしまう。従ってビット線の電位差をセンスアンプによって増幅してデータを読み出すのが困難になり、電源電圧1V以下の動作の安定性が失われる。

#### 【0004】

【課題を解決するための手段】本発明はメモリセルから情報を読み出す際に負荷用トランジスタのソース電極および転送用トランジスタのゲート電極に外部から供給される電源電圧より高い電圧が供給されることを特徴とするものである。

#### 【0005】

【作用】上述したようにビット線間の電位差を大きくするにはビット線からメモリセルに流れる電流IMを大きくすればよい。本発明によれば、メモリセルからデータを読み出すときに、負荷用トランジスタのソース電極に電源電圧より大きい昇圧電圧を与えることにより、High側記憶ノードの電位を急速に持ち上げ、該ノードにゲート電極が接続されているLow側記憶ノードの駆動用トランジスタの能力を上げることができる。また、転送用トランジスタのゲート電極に電源電圧より高い昇圧電圧を与えることにより、Low側記憶ノードの転送用トランジスタの能力を上げることができる。この二つの手段を組み合わせることにより、ビット線からメモリセルに流れる電流を大きくし、データの読み出し時にビット線間に大きい電位差が得られ、電源電圧1V以下の低電圧動作を可能にする。

#### 【0006】

【発明の実施の形態】以下本発明の実施例を図面を参照して説明する。図1は本発明の実施例における回路図およびその動作電圧波形を示したものである。図1においてP1・P2およびN1～N4は1単位のメモリセルを構成するP型およびN型トランジスタ、101および102はそれぞれワード線VWおよびメモリセルへの給電線VMの電圧を昇圧する昇圧回路、103はメモリセルのデータを読み出す際にビット線の電位をプリチャージする負荷トランジスタ、104は半導体装置外部から与えられたアドレス信号をデコードして1本のワード線を選択するワードデコーダ、105はビット線VB1およびVB2に現れる電位をデータ線対100に伝えるカラムゲート、106はデータ線対の電位差を増幅してデータを読み出すセンスアンプである。時間t0において半導体記憶装置の外部から入力されたアドレス信号がデコードされて、メモリセルのブロック選択信号またはワード線の副デコード信号にあたるBLKが立ち上がった後、時間t1においてアドレス信号がさらにデコードされワード線VMが選択されるとVMの電位は速やかに電源電圧VDDまで上がり、メモリセルが選択状態にな

る。ここでメモリセルのHigh側記憶ノードV2はVDDレベルであるのでビット線VB2の電位に変化はない。一方メモリセルのLow側ノードV1にはN型トランジスタN3およびN1の抵抗成分で分圧された電位が現れる。電源電圧1V以下の領域では、この時点でN3のゲート・ソース間の電圧(VDD-V1)がN3のしきい値Vthより多少大きいだけなのでN3の電流能力は低く、ビット線の電位を引き下げる事がほとんどできないため、ビット線VB1の電位は微少な変化にとどまる。次に時間t2において、昇圧回路101に入力されている昇圧制御信号により選択されているワード線VWの電位が電源電圧VDDより高い値に昇圧されると、N3のゲート・ソース間の電圧が(VDD-V1+昇圧電圧)となるためN3の電流能力が大きくなり、ビット線VB1の電位を引き下げるためビット線間に大きな電位差が現れる。ここでワード線の電位だけを昇圧した場合は、N3の電流能力のみが大きくなり逆に抵抗成分が小さくなるためLow側記憶ノードV1の電位が上昇する傾向を見せる。しかし、同時間t2において昇圧制御信号によりメモリセルへの給電線VMが昇圧回路102により昇圧され、この昇圧電圧はP型トランジスタP2を介して即座にN1のゲート電極に現れるので、今度はN1の電流能力が大きくなり逆に抵抗成分が小さくなるためLow側記憶ノードV1の電位が上昇するのを抑制することができ、より一層ビット線間に大きな電位差を出現させることができる。なお、この時トランジスタN2のゲート電位はLow側記憶ノードV1に接続されているので、N2を介して不要な直流電流が流れることはない。時間t2以降ビット線間に現れた電位差はカラムゲート105を介してデータ線対100に現れ、この電位差をセンスアンプ106が増幅してデータを取り出しラッチする。データをラッチてしまえばワード線およびメモリセルへの給電線の電位を昇圧する必要がないので、時間t3において昇圧制御信号を制御することによって昇圧を終了する。このように昇圧を開始して読み出したデータをラッチするまでの時間が短いので、時間t2からt3までの昇圧時間を短くでき、昇圧回路101および102は常時昇圧している必要はなく、消費電流の少ない例えばブート・ストラップ回路でも簡単に構成できる。また昇圧回路102にメモリセルのブロックあるいはワード線のサブ・デコード信号BLKによる制御を加えることにより被昇圧ラインに付加する容量成分を低く抑えることができるので、さらに昇圧効率が高く、低消費電流の半導体装置を提供することができる。

【0007】図2は本発明の実施例であるところのメモリセルへの昇圧電圧を与える方法を示す断面図である。図2においてP-は半導体の主基板であるP-基板、N-はP-基板上に形成されるNウェル、P11およびP12は図1のP型トランジスタP1を構成するP+拡散

領域、P<sub>2</sub>1およびP<sub>2</sub>2は同様にP<sub>2</sub>を形成するP<sup>+</sup>拡散領域、N<sub>3</sub>0はNウェルの電位固定のために用いられるN<sup>+</sup>拡散領域である。この図においてメモリセルへの給電線VMはP<sub>1</sub>1およびP<sub>2</sub>1のみに接続されており、N<sub>3</sub>0は電源電圧VDDに接続されている。ここでP<sub>1</sub>1およびP<sub>2</sub>1からNウェルに順方向のpn接合ダイオードが形成されるが、電源電圧1V以下の領域ではこのダイオードを能動状態にするしきい値ほどの昇圧電圧は必要ないので、Nウェルへのリーク電流はない。このように給電線をNウェルと分離することにより、非昇圧ラインである給電線に付加する容量を減らすことができ、昇圧効率を上げることができる。また、同時にトランジスタの基板効果により、P型トランジスタのしきい値も下がる事になり、低電圧動作がさらに改善されることになる。

## 【0008】

【発明の効果】以上のように完全CMOS型のメモリセルで構成される半導体記憶装置において、メモリセルへの給電線およびワード線の電位を読み出し時に昇圧することにより、電源電圧が1V以下の場合にも安定した動

作の半導体記憶装置を提供することができる。また、メモリセルへの給電線への昇圧をブロック信号を加えた制御で行い、Nウェルと分離することにより昇圧効率を高めることが可能である。さらに、昇圧期間が短いため常時昇圧を行う昇圧回路を用いる必要がないため、消費電流の少ない半導体記憶装置を提供することができる。

## 【図面の簡単な説明】

【図1】本発明の実施例におけるメモリセル周辺の回路図および動作電圧波形、

【図2】本発明の実施例におけるメモリセルの断面図、

【図3】完全CMOS型メモリセルの回路図、

【図4】従来の半導体記憶装置の動作電圧波形、

## 【符号の説明】

P<sub>1</sub>～P<sub>2</sub> P型トランジスタ

N<sub>1</sub>～N<sub>4</sub> N型トランジスタ

101, 102 昇圧回路ブロック

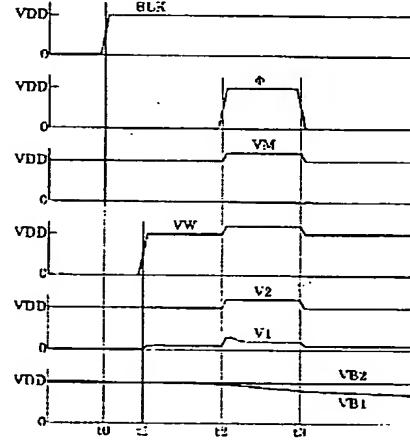
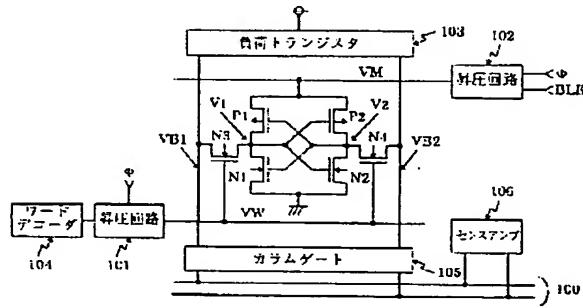
103 ビット線負荷トランジスタ

104 ワードデコーダ

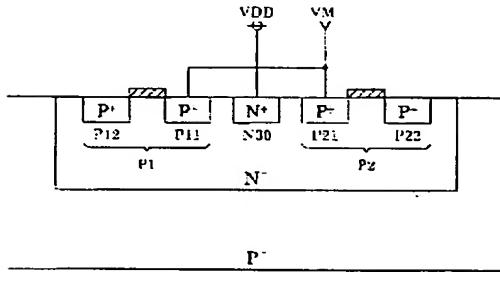
105 カラムゲート

106 センスアンプ

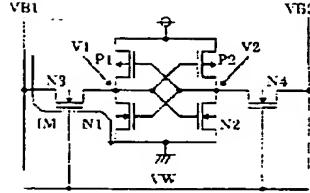
【図1】



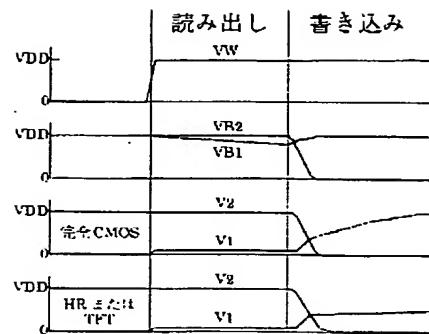
【図2】



【図3】



【図 4】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成15年7月4日(2003.7.4)

【公開番号】特開平11-7776

【公開日】平成11年1月12日(1999.1.12)

【年通号数】公開特許公報11-78

【出願番号】特願平9-161680

【国際特許分類第7版】

G11C 11/413

【F I】

G11C 11/34 335 A

【手続補正書】

【提出日】平成15年3月31日(2003.3.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 フリップフロップ回路を構成する1対の第1導電型の第1および第2の駆動用トランジスタおよび1対の第2導電型の第1および第2の負荷用トランジスタと、1対の第1導電型の第1および第2の転送用トランジスタとを有するメモリセルを備えた半導体記憶装置において、前記第1および第2の負荷用トランジスタのソース電極に前記メモリセルから情報を読み出す際に、半導体装置の外部から供給される電源電圧より高い電圧が与えられることを特徴とする半導体記憶装置。

前記第1および第2の負荷用トランジスタのソース電極に接続される信号線の制御が半導体装置の外部から与えられるアドレス信号により選択的に行われるこことを特徴とした半導体記憶装置。

【請求項2】 請求項1記載の負荷用トランジスタのソース電極に接続される信号線の制御が半導体装置の外部から与えられるアドレス信号により選択的に行われるこことを特徴とした半導体記憶装置。

【請求項3】 請求項1記載の負荷用トランジスタのソース電極が半導体装置の基板電位と分離されていることを特徴とする半導体記憶装置。

【請求項4】 請求項1記載の半導体記憶装置において、前記第1および第2の転送用トランジスタのゲート電極に接続された信号線の電圧が前記メモリセルから情報を読み出す際に、接地電圧から外部より供給される電源電圧と同じ電位レベルに上がった後、さらに該電位レベルより高い電圧が供給されることを特徴とする半導体記憶装置。

【請求項5】 請求項1記載の半導体記憶装置は、第2導電型の半導体基板と、前記半導体基板内に形成された第1導電型の第1の不純物領域と、前記第1の不純物領域内に形成され、前記第1の不純物領域より高濃度の第2導電型の第2の不純物領域と、前記第1の不純物領域内に形成され、前記半導体基板より高濃度の第2導電型の第3、第4、第5及び第6の不純物領域と、を具備し、

前記第1の負荷用トランジスタは、前記第3および第4の不純物領域を含み、

前記第2の負荷用トランジスタは、前記第5および第6の不純物領域を含むことを特徴とする半導体記憶装置。

【請求項6】 請求項5において、前記第2の不純物領域には、半導体記憶装置の外部から供給される電源電圧が印加されることを特徴とする半導体記憶装置。